

# Test of Charge ADC's characteristics

Y.Honda

2006/1/6

## 概要

Outputs of KEK cavity BPM's electronics are recorded by a charge sensitive ADC. The ADC is designed to detect a negative voltage signal. However, the BPM's signal could be positive if the phase tuning of the electronics was not right. We tested the behavior of the ADC for a positive voltage signal. It turned out that the ADC became insensitive for a while after it suffered a positive signal.

## 1 目的

井上 BPM の信号を位相検波したときに出力信号がバイポーラになっていた。レファレンス空洞からの信号の洩れがこの波形の原因であると分かっている。(その他、位相検出のミキサーの L.O. 側からの信号の洩れが出力にオフセットを与えることも同種の問題に成り得ると思われる。) 以前は、このバイポーラ信号の負電圧のタイミングにゲートを合わせて無理矢理データを取り込んでいた (図 1)。

正電圧の信号が入ったときの Charge ADC の挙動が良く理解されていなかったので詳細に調べてみる。使用した Charge ADC は豊伸電子の C009H、16ch、14 bit、最小ゲート幅 50nsec。

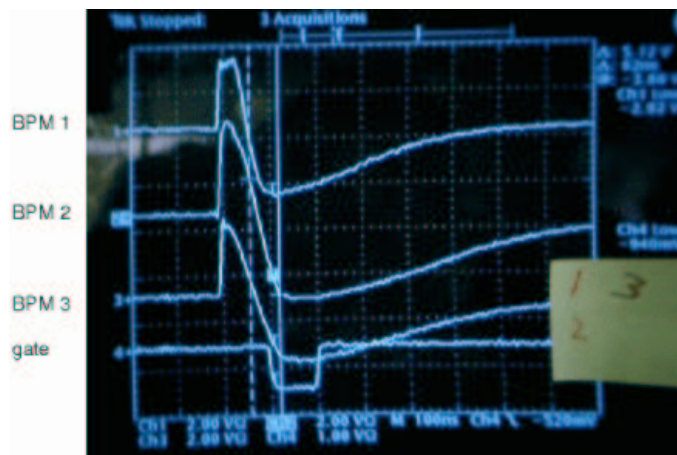


図 1: ビーム信号の測定の様子

## 2 測定

### 2.1 ゲート幅

最初にゲート幅に対するスペックをチェックした。-25mVのDCをADCに入力した状態でゲートの時間幅を変えて読み値を調べた。図2に結果を示す。スペック通り、最小50nsecあたりからゲート幅にリニアな特性が確認された。

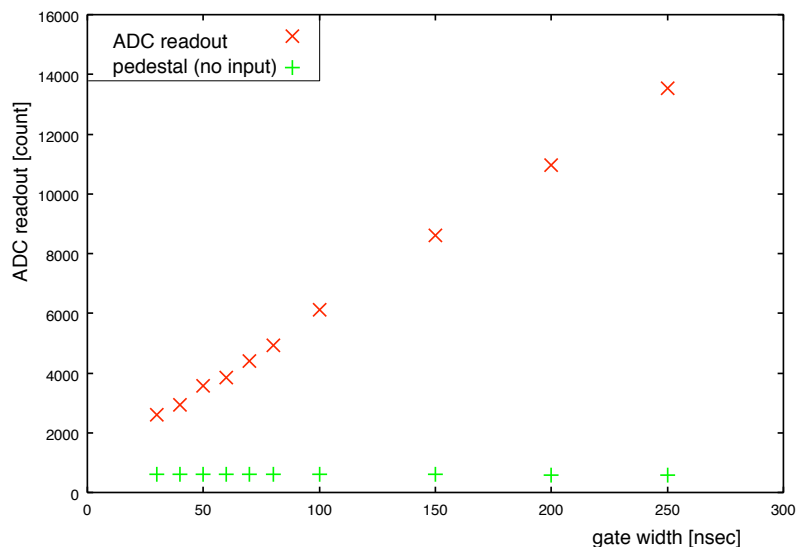


図 2: ゲート幅のテスト

### 2.2 ベースラインの影響

次に正電圧のベースラインがあった場合のふるまいを調べた。ファンクションジェネレータで図3のような信号をつくりADCに入力した。信号は電圧-100mV、時間幅1 $\mu$ secであるが、その前後のベースラインの電圧を表1に示すようにいろいろと変えてみた。これを50nsecの時間幅のゲートでとりこむ。ゲートのタイミングを変えながら測定をした結果を図4にまとめる。

ベースラインが正である場合、信号が入ってもしばらく(400nsec程度)不感な時間があることが分かる。

表 1: セットアップのリスト

setup	base line	signal level
a	0mV	-100 mV
b	+100mV	-100 mV
c	+50mV	-100 mV
d	+20mV	-100 mV
e	+10mV	-100 mV
f	-50mV	-100 mV
g	-150mV	-100 mV

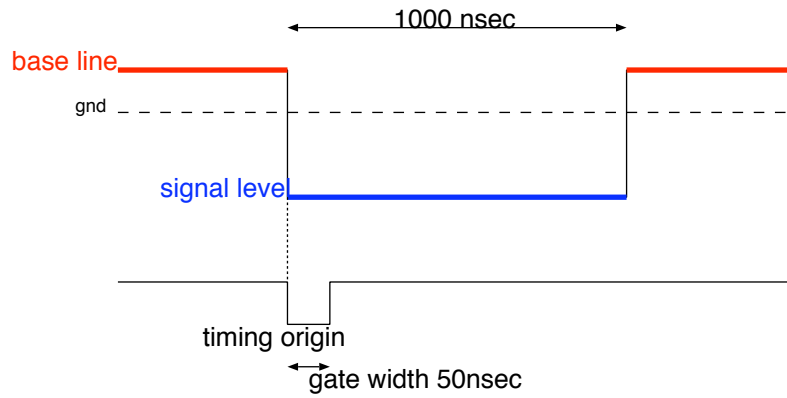


図 3: テスト信号の設定

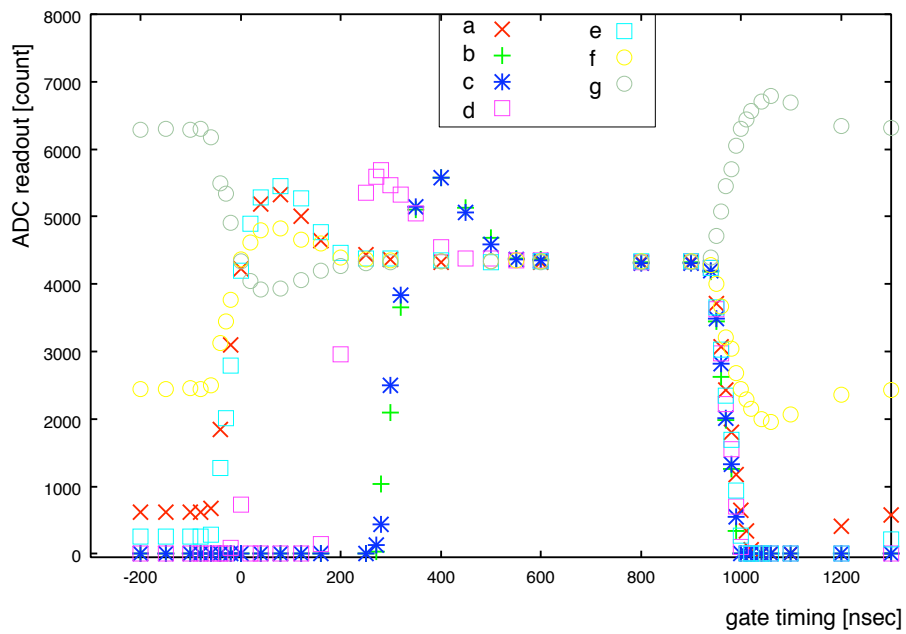


図 4: ベースラインを変えた測定の結果

## 2.3 BPM 信号に似せた波形でのテスト

ファンクションジェネレータの任意波形機能を使って、図1の場合に似せた波形をつくって上と同様の測定を行った(図5)。ゲート幅は50nsecに固定してタイミングをずらしていったときの様子が図6である。やはり、最初の数百nsecの間は正電圧の影響を受けてしまっている。(ただし、値のふらつきが特に大きくなったりといったことは無かった。)

ビーム測定の時もゲートタイミングを負電圧のあたりに合わせていたとはいえ、理想的な状態ではなかったと思われる。

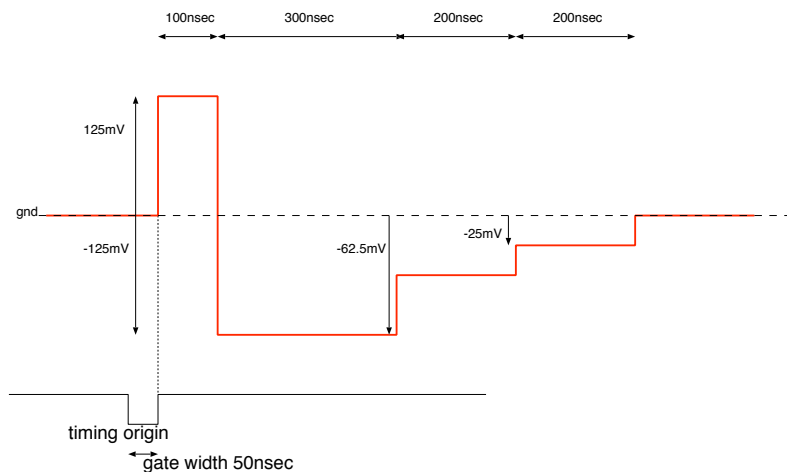


図 5: 作成した任意波形

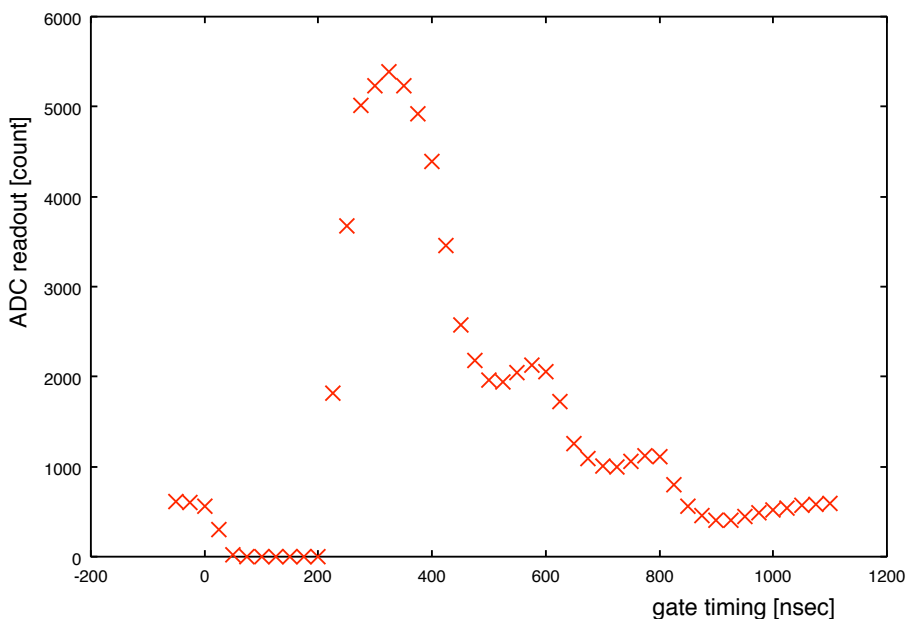


図 6: 疑似波形でのテストの結果

### 3 考察

レファレンス空洞からの洩れが解決したとしても、依然、ADCに正電圧が入力されるのは問題が多いと思われる。例えば、L.O.の洩れによってオフセットが付く可能性もある。また、これまでのように正負反転した信号をADCでとりこんでどちらかを使うという方式は繋がりどころが難しい(どちらもゼロという時があったりする)。感度キャリブレーションの直線が折れ曲がるという問題もある。

レンジが半分に制限されるとしても、図7のように全体に負オフセットをつけて信号ゼロのときにADCのレンジの真ん中あたりにあわせておいたほうがやりやすいのではないかとと思われる。

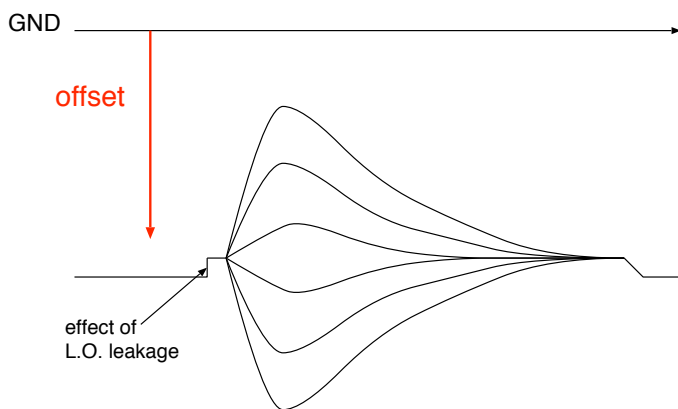


図 7: 負オフセットの導入

### 4 結論

正電圧 (10mV 以上) が入力された場合、数百 nsec 程度の間 Charge ADC は不感になる。